

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-115652

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 1/30	A			
29/46	B			
31/12	B			
31/15	C			

審査請求 未請求 請求項の数18 F D (全 17 頁)

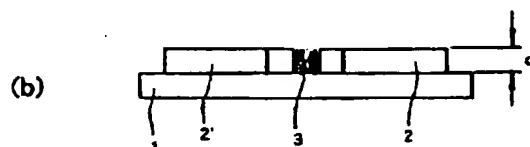
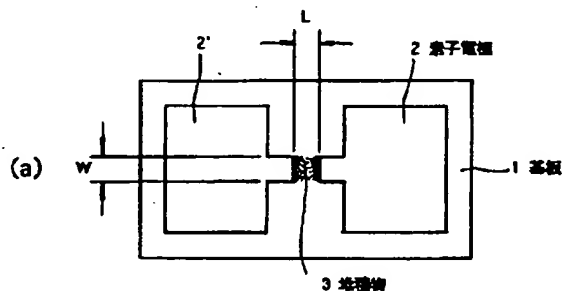
(21) 出願番号	特願平6-278556	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成6年(1994)10月19日	(72) 発明者	岸 文夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	石崎 明美 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	齋場 利明 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74) 代理人	弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 電子放出素子及びその製造方法、該電子放出素子を用いた電子源並びに画像形成装置

(57) 【要約】

【目的】 製造工程が複雑でなく、均一な電子放出特性を有する電子放出素子を提供する。

【構成】 絶縁性基板1上に、素子電極2及び2'をつなげた形状で形成し、収束イオンビームにより500nm以下の微小間隙を形成し、炭化水素ガスを含む雰囲気下で熱処理することにより炭素を主成分とする堆積物3を上記微小間隙に堆積させてなる電子放出素子。



## 【特許請求の範囲】

【請求項1】 少なくとも、絶縁性基板と、該絶縁性基板上に形成された微小間隙を介して対向する一対の電極と、前記微小間隙に堆積された炭素を主成分とする堆積物からなることを特徴とする電子放出素子。

【請求項2】 微小間隙が500nm以下であることを特徴とする請求項1記載の電子放出素子。

【請求項3】 炭素を主成分とする堆積物が、繊維状カーボンの集合体であることを特徴とする請求項1又は2記載の電子放出素子。

【請求項4】 繊維状カーボンが、グラファイト又はアモルファスカーボンもしくはこれらの混合物からなることを特徴とする請求項3記載の電子放出素子。

【請求項5】 絶縁性基板上に、微小間隙を介して対向する一対の電極を形成する工程と、該電極間隙に炭素を主成分とする堆積物を堆積させる工程を有することを特徴とする電子放出素子の製造方法。

【請求項6】 炭素を主成分とする堆積物の堆積工程が、炭素化合物の熱分解工程であることを特徴とする請求項5記載の電子放出素子の製造方法。

【請求項7】 炭素化合物が炭化水素であることを特徴とする請求項6記載の電子放出素子の製造方法。

【請求項8】 炭化水素がエチレンであることを特徴とする請求項7記載の電子放出素子の製造方法。

【請求項9】 炭素化合物の熱分解工程が、炭素化合物を含む雰囲気中で加熱する工程であることを特徴とする請求項6～8のいずれかに記載の電子放出素子の製造方法。

【請求項10】 炭素を主成分とする堆積物の堆積工程が、電極間隙に金属微粒子を形成する工程と、炭素化合物を熱分解して上記金属微粒子を核として繊維状カーボンを堆積させる工程からなることを特徴とする請求項5～9のいずれかに記載の電子放出素子の製造方法。

【請求項11】 金属微粒子の形成工程が、当該金属の有機錯体溶液を電極間隙に塗布する工程と、該有機金属錯体を焼成して金属酸化物とする工程と、該金属酸化物を還元凝集させる工程からなることを特徴とする請求項10記載の電子放出素子の製造方法。

【請求項12】 金属酸化物の還元凝集工程が、水素ガスを含む雰囲気中に曝露、或いは該雰囲気中で熱処理工程であることを特徴とする請求項11記載の電子放出素子の製造方法。

【請求項13】 繊維状カーボンの堆積工程が、エチレンガスを含む雰囲気中でエチレンの熱分解温度以上で熱処理する工程であることを特徴とする請求項10～12のいずれかに記載の電子放出素子の製造方法。

【請求項14】 金属酸化物の還元凝集工程をエチレンガスを含む雰囲気中でエチレンの熱分解温度未満で熱処理して行ない、続けて同じ雰囲気中でエチレンの熱分解温度以上に加熱して繊維状カーボンの堆積工程を行なう

ことを特徴とする請求項10～12のいずれかに記載の電子放出素子の製造方法。

【請求項15】 請求項1～4のいずれかに記載の電子放出素子を複数個並列に配置し結線してなる素子列を少なくとも1列以上有してなることを特徴とする電子源。

【請求項16】 請求項1～4のいずれかに記載の電子放出素子を複数個列してなる素子列を少なくとも1列以上有し、該素子を駆動するための配線がマトリクス配置されていることを特徴とする電子源。

10 【請求項17】 少なくとも、請求項15記載の電子源、画像形成部材、及び情報信号により各電子放出素子から放出される電子線を制御する制御電極を有することを特徴とする画像形成装置。

【請求項18】 少なくとも、請求項16記載の電子源と画像形成部材とを有することを特徴とする画像形成装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子放出素子と、該素子を複数個配置してなる電子源、及び該電子源を用いて構成した表示装置や露光装置等の画像形成装置に関し、更には、上記電子放出素子の製造方法に関する。

【0002】

【従来の技術】従来、電子放出素子として熱電子源と冷陰極電子源の2種類が知られており、冷陰極電子源には、電界放出型（以下FE型と記す）、金属/絶縁層/金属型（以下MIM型と記す）や表面伝導型等がある。

【0003】上記FE型の例としては、ダブリュ ヒーダイク アンド ダブリュ ダブリュ ドラン著「フィールド エミッション」アドバンス イン エレクトロンフィジクス、8、89（1956）（W. P. Dyke & W. W. Dolan "Field emission", Advance in electron Physics）或いはシィ エィ スピント「フィジカル プロパティズ オブ シン-フィルム フィールド エミッション カソーズ ウィズモリブデニウム コーンズ」ジャーナル オブ アプライド フィジクス、47、5248（1976）（C. A. Spindt "PHYSICAL Properties of thin-film field emission cathodes with molybdenium cones" J. Appl. Phys.）等が知られている。

【0004】またMIM型の例としては、シィ エィ ミード「ザ トンネル-エミッション アンプリファイア」ジャーナル オブ アプライド フィジクス、32、646（1961）（C. A. Mead "The tunnel-emission amplifier" J. Appl. Phys.）等が知られている。

【0005】また、表面伝導型電子放出素子の例として

は、エム アイ エリンソン、レイディオ エンジニアリング エレクトロン フィジクス、10 (1965) (M. I. Elinson, Radio Eng. Electron Phys.) 等がある。

【0006】

【発明が解決しようとする課題】上記に挙げたような電子放出素子を複数個用いて表示装置等を形成する場合、各素子の電子放出特性が均一であること、及び均一な素子の作製に複雑な工程を伴わないことが要求される。従って、電子放出素子においては、こういった要求や更なる製造工程の簡略化、より優れた素子を達成するべく鋭意検討されている。

【0007】本発明の目的は、上記のような状況において、複雑な工程を伴わずに均一な電子放出特性を示す信頼性の高い電子放出素子を提供することであり、更に、該電子放出素子を用いて電子源、更には画像形成装置を構成することにある。

【0008】

【課題を解決するための手段及び作用】請求項1~4の発明は、上記目的を達成した電子放出素子であって、絶縁性基板上に、微小間隙を介して一対の電極を設け、該微小間隙に炭素を主成分とする堆積物を有することに特徴を有する。

【0009】請求項5~14の発明は、上記電子放出素子の製造方法であって、絶縁性基板上に、微小間隙を設けて一対の電極を形成し、該微小間隙に炭素を主成分とする堆積物を堆積させることを特徴とする。

【0010】請求項15及び16の発明は上記電子放出素子を複数個配置したことを特徴とする電子源であり、請求項17及び18の発明はそれぞれの電子源を用いたことを特徴とする画像形成装置である。

【0011】以下本発明を詳細に説明する。

【0012】図1は本発明の電子放出素子の基本的な構成を示す図である。図中、1は絶縁性基板、2、2'は素子電極、3は炭素を主成分とする堆積物である。

【0013】基板1としては、例えば石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等によりSiO<sub>2</sub>を積層した積層体、アルミナ等のセラミックス等が挙げられる。

【0014】対向する素子電極2、2'の材料としては、一般の導体材料が用いられ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金及びPd、Ag、Au、RuO<sub>2</sub>、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0015】素子電極間隙L、素子電極長さWは、応用される形態等によって設計される。

【0016】素子電極長さWは、電極の抵抗値や電子放

出特性を考慮すると、好ましくは数 $\mu$ m~数百 $\mu$ mであり、また素子電極厚dは、数百Å~数 $\mu$ mである。

【0017】素子電極間隙Lは、微小であり、好ましくは500nm以下である。

【0018】本発明の電子放出素子の製造方法について図2に基づいて説明する。尚、図2において図1と同じ符号は同じ部材を示すものである。

【0019】(A)基板1を洗剤、純水及び有機溶剤により十分に洗浄した後、真空蒸着法、スパッタ法等により素子電極材料を堆積させた後、フォトリソグラフィ技術により基板1の面上に素子電極2、2'がつながった状態を形成する(図2(a))。

【0020】(B)次に、収束イオンビーム(FIB)により、所定の間隙Lを素子電極2、2'間に形成する(図2(b))。間隙Lの形成は、上記FIBの他に、フォトリソグラフィのプロセスを用いて形成する方法、或いは、基板1に段差を設けておいて間隙を形成する方法などが可能である。

【0021】(C)炭素を主成分とする堆積物を間隙Lに堆積する。本発明において、該堆積物は、好ましくは繊維状カーボンであり、グラファイト或いはアモルファスカーボンからなる。

【0022】繊維状カーボンは、ベンゼンなどの炭化水素やCOを気相で微粒子を触媒として熱分解した時に生成するもので、不規則な曲折を示したり、くびれを伴う場合もある(例えば、アール ティ ケイ ベーカー アンド ビィ エス ハリス:ケミストリィ アンド フィジクス オブ カーボン Vol. 14 p84~165, フィリップ エル ウォーカー ジュニア アンド ビーター エイスローワー編, マーセル ディーカー インク(R. T. K. Baker and P. S. Harris: Chemistry and Physics of Carbon, Philip L. Walker Jr. and Peter A. Throver, MARCEL DEEKER, inc.))。

【0023】Feなどの金属表面の、炭化水素ガスの分解反応における触媒活性は古くから研究されており、エチレンの分解についても多くの報告がある(例えば、矢ヶ崎えり子・岩崎康裕「遷移金属表面におけるエチレンの化学」:表面 第29巻879~891頁 1991年)。

【0024】Feの微粒子がある場合には、炭化水素の存在する雰囲気中で熱処理することにより、微粒子を核にして繊維状カーボンが形成されることは上記の通り良く知られている。このFe微粒子はフェライト基板の一部などのFe化合物を還元して形成したものである。本発明者等は、電子放出素子の分野において広く用いられているPdからなる微粒子でも、Feと同様に繊維状カーボン形成時の核となることを見出した。従って本発明

において、Pdを繊維状カーボン形成の核として用いると、プロセス最高温度を450℃以下に抑えることができ(Feを用いた場合には950~1000℃である)、他の部材への影響や、製造コストの面から好ましい。

【0025】具体的には、Pd等用いる金属の有機錯体溶液を塗布し、加熱焼成して金属酸化物とした後、水素ガスを含む雰囲気中に曝露するか或いは該雰囲気中で熱処理することにより、金属酸化物を還元凝集させ金属微粒子21とする(図2(c))。

【0026】本発明において、カーボンの形成核としては、上記FeやPdの他にNiが好ましく用いられ、また、微粒子の形状をとる必要もなく、突起等繊維状カーボンの成長の特異点となる形状であれば同様の効果が得られる。

【0027】上記金属微粒子を核として、繊維状カーボンを堆積させる(図2(d))。堆積方法は、前記したように、炭化水素等炭素化合物を熱分解すれば良く、例えば、エチレンガスを含む雰囲気中でエチレンの熱分解以上の温度で熱処理を行えばよい。エチレンの他にも、メタン、プロパン、プロピレンなどの炭化水素ガス、或いはエタノールやアセトンなどの有機溶剤の蒸気を用いることも可能である。

【0028】本発明者等は400℃以下では繊維状カーボンが形成されないことを確認した。一方、高温側では十分広い範囲で形成可能であり、900℃の熱処理で後述の実施例と同様の繊維状カーボンが形成される。しかしながら、上記したように、高温では素子の他の部材が影響を受けるため、900℃以下での熱処理が好ましい。実際には、電極や基板の耐熱温度から設定すればよい。

【0029】また、上記金属微粒子の還元工程を、例えばエチレンガスを含む雰囲気中でエチレンの熱分解温度未満で行ない、続いてエチレンの熱分解温度以上の熱処理を行なうことにより、金属微粒子の還元工程と繊維状カーボンの堆積工程を連続して行なうことができ、製造工程の簡素化の上で好ましい。

【0030】尚、表面に熱酸化膜を形成したシリコン基板上に後述する実施例と同様の工程でPd微粒子を形成してなるPd粒子分散膜をエチレン雰囲気中熱処理した試料を走査電子顕微鏡で観察したところ、繊維状カーボンが観察された。これがカーボンであることはX線光電子分光(XPS)分析、ラマン分光分析により確認した。また、この繊維状カーボンを、透過電子顕微鏡により観察したところ、格子像が観察され結晶性を持つことがわかった。但し、格子像は非常に乱れており、結晶性は悪い。

【0031】図3は、電子放出素子の電子放出特性を測定するための測定評価系の一例を示す概略構成図で、まずこの測定評価系を説明する。

【0032】図3において、図1と同じ符号は同じ部材を示す。また、31は素子に素子電圧 $V_f$ を印加するための電源、30は素子電極2、2'間を流れる素子電流 $I_f$ を測定するための電流計、34は放出電流 $I_e$ を捕捉するためのアノード電極、33はアノード電極34に電圧を印加するための高圧電源、32は放出電流 $I_e$ を測定するための電流計、35は真空装置、36は排気ポンプである。

【0033】電子放出素子及びアノード電極34等は真空装置35内に設置され、この真空装置35には不図示の真空計等の必要な機器が具備されていて、所望の真空中で電子放出素子の測定評価ができるようになっている。

【0034】排気ポンプ36は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とから構成されている。また、真空装置35全体及び電子放出素子の基板1は、ヒーターにより200℃程度まで加熱できるようになっている。

【0035】以下に述べる電子放出素子の基本特性は、上記測定評価系のアノード電極34の電圧を1kV~10kVとし、アノード電極34と電子放出素子の距離Hを2~8mmとして行った測定に基づくものである。

【0036】まず、放出電流 $I_e$ 及び素子電流 $I_f$ と、素子電圧 $V_f$ との関係の典型的な例を図4に示す。尚、図4において、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さいので、任意単位で示されている。

【0037】図4から明らかなように、本発明の電子放出素子は、放出電流 $I_e$ に対する次の3つの特徴的特性を有する。

【0038】まず第1に、電子放出素子はある電圧(しきい値電圧と呼ぶ:図5中の $V_{th}$ )以上の素子電圧 $V_f$ を印加すると急激に放出電流 $I_e$ が増加し、一方しきい値電圧 $V_{th}$ 以下では放出電流 $I_e$ が殆ど検出されない。即ち、放出電流 $I_e$ に対する明確なしきい値電圧 $V_{th}$ を持った非線形素子である。

【0039】第2に、放出電流 $I_e$ が素子電圧 $V_f$ に対して単調増加する特性(MI特性と呼ぶ)を有するため、放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

【0040】第3に、アノード電極34(図3参照)に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。即ち、アノード電極34に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

【0041】放出電流 $I_e$ が素子電圧 $V_f$ に対してMI特性を有すると同時に、素子電流 $I_f$ も素子電圧 $V_f$ に対してMI特性を有する場合もある。このような電子放出素子の特性の例が図4の実線で示す特性である。一方、図4に破線で示すように、素子電流 $I_f$ は素子電圧 $V_f$ に対して電圧制御型負性抵抗特性(VCNR特性と呼ぶ)を示す場合もある。いずれの特性を示すかは、電

子放出素子の製法及び測定時の測定条件等に依存する。但し、素子電流  $I_f$  が素子電圧  $V_f$  に対してVCNR特性を有する電子放出素子でも、放出電流  $I_e$  は素子電圧  $V_e$  に対してMI特性を有する。

【0042】次に、本発明の電子源における電子放出素子の配列について説明する。

【0043】本発明の電子源における電子放出素子の配列方式としては、並列に電子放出素子を配列し、個々の素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて夫々結線した行を複数行配列した梯型配置と、m本のX方向配線の上にn本のY方向配線を層間絶縁層を介して設置し、電子放出素子の一对の素子電極に夫々X方向配線、Y方向配線を接続した配置方式が挙げられる。これを以後単純マトリクス配置と呼ぶ。まず、この単純マトリクス配置について詳述する。

【0044】前述した電子放出素子の基本的特性によれば、単純マトリクス配置された電子放出素子における放出電子は、しきい値電圧を超える電圧では、対向する素子電極間に印加するパルス状電圧の波高値とパルス幅で制御できる。一方、しきい値電圧以下では殆ど電子は放出されない。従って、複数の電子放出素子を配置した場合においても、個々の素子に上記パルス状電圧を適宜印加すれば、入力信号に応じて電子放出素子を選択し、その電子放出量が制御でき、単純なマトリクス配線だけで個別の電子放出素子を選択して独立に駆動可能となる。

【0045】単純マトリクス配置はこのような原理に基づくもので、本発明の電子源の一例である、この単純マトリクス配置の電子源の構成について図5に基づいて更に説明する。

【0046】図5において基板1は既に説明したようなガラス板等であり、この基板1上に配列された電子放出素子54の個数及び形状は用途に応じて適宜設定されるものである。

【0047】m本のX方向配線52は、夫々外部端子  $D_{x1}, D_{x2}, \dots, D_{xm}$  を有するもので、基板1上に、真空蒸着法、印刷法、スパッタ法等で形成した導電性金属等である。また、複数の電子放出素子54にはほぼ均等に電圧が供給されるように、材料、膜厚、配線幅が設定されている。

【0048】n本のY方向配線53は、夫々外部端子  $D_{y1}, D_{y2}, \dots, D_{yn}$  を有するもので、X方向配線52と同様に作成される。

【0049】これらm本のX方向配線52とn本のY方向配線53間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成している。尚、このm、nは共に正の整数である。

【0050】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成された  $SiO_2$  等であり、X方向配線52を形成した基板1の全面或は一部に所望の形状で形成され、特に、X方向配線52とY方向配線53

の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。

【0051】更に、電子放出素子54の対向する素子電極（不図示）が、m本のX方向配線52と、n本のY方向配線53と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線55によって電気的に接続されているものである。

【0052】ここで、m本のX方向配線52と、n本のY方向配線53と、結線55と、対向する素子電極とは、その構成元素の一部あるいは全部が同一であっても、また夫々異なっているいてもよく、前述の素子電極の材料等より適宜選択される。これら素子電極への配線は、素子電極と材料が同一である場合は素子電極と総称する場合もある。また、電子放出素子54は、基板1或いは不図示の層間絶縁層上どちらに形成してもよい。

【0053】また、詳しくは後述するが、前記X方向配線52には、X方向に配列された電子放出素子54の行を入力信号に応じて走査するために、走査信号を印加する不図示の走査信号印加手段が電気的に接続されている。

【0054】一方、Y方向配線53には、Y方向に配列された電子放出素子54の列の各列を入力信号に応じて変調するために、変調信号を印加する不図示の変調信号発生手段が電気的に接続されている。更に、各電子放出素子54に印加される駆動電圧は、当該電子放出素子54に印加される走査信号と変調信号の差電圧として供給されるものである。

【0055】次に、以上のような単純マトリクス配置の本発明の電子源を用いた本発明の画像形成装置の一例を、図6～図8を用いて説明する。尚、図6は表示パネル81の基本構成図であり、図7は蛍光膜64を示す図であり、図8は図6の表示パネル81で、NTSC方式のテレビ信号に応じてテレビジョン表示を行うための駆動回路の一例を示すブロック図である。

【0056】図6において、1は上述のようにして電子放出素子を配置した電子源の基板、61は基板1を固定したリアプレート、66はガラス基板63の内面に蛍光膜64とメタルバック65等が形成されたフェースプレート、62は支持枠であり、リアプレート61、支持枠62及びフェースプレート66にフリットガラス等を塗布し、大気中あるいは窒素中で、400～500℃で10分以上焼成することで封着して外囲器68を構成している。

【0057】図6において、52、53は、電子放出素子54の一对の素子電極2、2'と接続されたX方向配線及びY方向配線で、夫々外部端子  $D_{x1} \sim D_{xm}$ 、 $D_{y1} \sim D_{yn}$  を有している。

【0058】外囲器68は、上述の如く、フェースプレート66、支持枠62、リアプレート61で構成されている。しかし、リアプレート61は主に基板1の強度

を補強する目的で設けられるものであり、基板1自体で十分な強度を持つ場合は別体のリアプレート61は不要で、基板1に直接支持枠62を封着し、フェースプレート66、支持枠62、基板1にて外囲器68を構成してもよい。また、フェースプレート66、リアプレート61の間にスペーサーと呼ばれる不図示の支持体を更に設置することで、大気圧に対して十分な強度を有する外囲器68とすることもできる。

【0059】蛍光膜64は、モノクロームの場合は蛍光体72のみからなるが、カラーの蛍光膜64の場合は、10 蛍光体72の配列により、ブラックストライプ(図7(a))あるいはブラックマトリクス(図7(b))等と呼ばれる黒色導伝材71と蛍光体72とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合必要となる三原色の各蛍光体72間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜64における外光反射によるコントラストの低下を抑制することである。黒色導伝材71の材料としては、通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及20 び反射が少ない材料であれば他の材料を用いることもできる。

【0060】ガラス基板73に蛍光体72を塗布する方法としては、モノクローム、カラーによらず、沈澱法や印刷法が用いられる。

【0061】また、図6に示されるように、蛍光膜64の内面側には通常メタルバック65が設けられる。メタルバック65の目的は、蛍光体72(図7参照)の発光のうち内面側への光をガラス基板63側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を30 印加するための電極として作用すること、外囲器68内で発生した負イオンの衝突によるダメージからの蛍光体72の保護等である。メタルバック65は、蛍光膜64の作製後、蛍光膜64の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後A1を真空蒸着等で堆積することで作製できる。

【0062】フェースプレート66には、更に蛍光膜64の導電性を高めるため、蛍光膜64の外表面側に透明電極(不図示)を設けてもよい。

【0063】前述の封着を行う際、カラーの場合は各色40 蛍光体72と電子放出素子64とを対応させなくてはならないため、十分な位置合わせを行なう必要がある。

【0064】外囲器68内は、不図示の排気管を通じ、10の $^{-7}$ torr程度の真空度にされ、封止される。また、外囲器68の封止を行う直前あるいは封止後に、ゲッター処理を行うこともある。これは、外囲器68内の所定の位置に配置したゲッター(不図示)を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば1×10 $^{-6}$ 〜1×10 $^{-7}$ torrの真空度を維持するためのも50

のである。

【0065】上述の表示パネル81は、例えば図8に示されるような駆動回路で駆動することができる。尚、図8において、81は表示パネル、82は走査回路、83は制御回路、84はシフトレジスタ、85はラインメモリ、86は同期信号分離回路、87は変調信号発生器、V<sub>r</sub>及びV<sub>a</sub>は直流電圧源である。

【0066】図8に示されるように、表示パネル81は、外部端子D<sub>r1</sub>〜D<sub>rn</sub>、外部端子D<sub>y1</sub>〜D<sub>yn</sub>及び高圧端子Hvを介して外部の電気回路と接続されている。この内、外部端子D<sub>r1</sub>〜D<sub>rn</sub>には前記表示パネル81内に設けられている電子放出素子、即ちm行n列の行列状にマトリクス配置された電子放出素子群を1行(n素子ずつ)順次駆動して行くための走査信号が印加される。

【0067】一方、外部端子D<sub>y1</sub>〜D<sub>yn</sub>には、前記走査信号により選択された1行の各電子放出素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子Hvには、直流電圧源V<sub>a</sub>より、例えば10kVの直流電圧が供給される。これは電子放出素子より出力される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0068】走査回路82は、内部にm個のスイッチング素子(図8中S<sub>1</sub>〜S<sub>m</sub>で模式的に示す)を備えるもので、各スイッチング素子S<sub>1</sub>〜S<sub>m</sub>は、直流電圧電源V<sub>r</sub>の出力電圧もしくは0V(グランドレベル)のいずれか一方を選択して、表示パネル81の外部端子D<sub>r1</sub>〜D<sub>rn</sub>と電気的に接続するものである。各スイッチング素子S<sub>1</sub>〜S<sub>m</sub>は、制御回路83が出力する制御信号T<sub>scan</sub>に基づいて動作するもので、実際には、例えばFETのようなスイッチング機能を有する素子を組み合わせることにより容易に構成することが可能である。

【0069】本例における前記直流電圧源V<sub>r</sub>は、前記電子放出素子の特性(しきい値電圧)に基づき、走査されていない電子放出素子に印加される駆動電圧がしきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0070】制御回路83は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる働きを持つものである。次に説明する同期信号分離回路86より送られる同期信号T<sub>sync</sub>に基づいて、各部に対してT<sub>scan</sub>、T<sub>sf</sub>及びT<sub>ary</sub>の各制御信号を発生する。

【0071】同期信号分離回路86は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分を分離するための回路で、よく知られているように、周波数分離(フィルター)回路を用いれば、容易に構成できるものである。同期信号分離回路86により分離された同期信号は、これもよく知られるように、垂直同期信号と水平同期信号よりなる。ここでは、説明の便宜上T<sub>sync</sub>として図示する。一方、前記テレビ信号

11

から分離された画像の輝度信号成分を便宜上DATA信号と図示する。このDATA信号はシフトレジスタ84に入力される。

【0072】シフトレジスタ84は、時系列的にシリアル入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路83より送られる制御信号 $T_{\text{st}}$ に基づいて作動する。この制御信号 $T_{\text{st}}$ は、シフトレジスタ84のシフトクロックであると言い換えてもよい。また、シリアル/パラレル変換された画像1ライン分（電子放出素子の $n$ 素子分の駆動データに相当する）のデータは、 $I_{d1} \sim I_{dn}$ の $n$ 個の並列信号として前記シフトレジスタ84より出力される。

【0073】ラインメモリ85は、画像1ライン分のデータを必要時間だけ記憶するための記憶装置であり、制御回路83より送られる制御信号 $T_{\text{ry}}$ に従って適宜 $I_{d1} \sim I_{dn}$ の内容を記憶する。記憶された内容は、 $I_{d1} \sim I_{dn}$ として出力され、変調信号発生器87に入力される。

【0074】変調信号発生器87は、前記画像データ $I_{d1} \sim I_{dn}$ の各々に応じて、電子放出素子の各々を適切に駆動変調するための信号源で、その出力信号は、端子 $D_{y1} \sim D_{yn}$ を通じて表示パネル81内の電子放出素子に印加される。

【0075】前述したように、電子放出素子は電子放出に明確なしきい値電圧を有しており、しきい値電圧を超える電圧が印加された場合にのみ電子放出が生じる。また、しきい値電圧を超える電圧に対しては電子放出素子への印加電圧の変化に応じて放出電流も変化して行く。電子放出素子の材料、構成、製造方法を変えることにより、しきい値電圧の値や印加電圧に対する放出電流の変化度合いが変わる場合もあるが、いずれにしても以下のことがいえる。

【0076】即ち、電子放出素子にパルス状の電圧を印加する場合、例えばしきい値電圧以下の電圧を印加しても電子放出は生じないが、しきい値電圧を超える電圧を印加する場合には電子放出を生じる。その際、第1には電圧パルスの波高値を変化させることにより、出力される電子ビームの強度を制御することが可能である。第2には、電圧パルスの幅を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0077】従って、入力信号に応じて電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式とが挙げられる。電圧変調方式を行う場合、変調信号発生器87としては、一定の長さの電圧パルスを発生するが、入力されるデータに応じて適宜パルスの波高値を変調できる電圧変調方式の回路を用いる。また、パルス幅変調方式を行う場合、変調信号発生器87としては、一定の波高値の電圧パルスを発生するが、入力されるデ

12

ータに応じて適宜パルス幅を変調できるパルス幅変調方式の回路を用いる。

【0078】シフトレジスタ84やラインメモリ85は、デジタル信号式のものでもアナログ信号式のものでもよく、画像信号のシリアル/パラレル変換や記憶が所定の速度で行えるものであればよい。

【0079】デジタル信号式を用いる場合には、同期信号分離回路86の出力信号DATAをデジタル信号化する必要がある。これは同期信号分離回路86の出力部にA/D変換器を設けることで行える。

【0080】また、これに関連して、ラインメモリ85の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器87に設けられる回路が若干異なるものとなる。

【0081】即ち、デジタル信号で電圧変調方式の場合、変調信号発生器87には、例えばよく知られているD/A変換回路を用い、必要に応じて増幅回路等を付け加えればよい。また、デジタル信号でパルス幅変調方式の場合、変調信号発生器87は、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いることで容易に構成することができる。更に、必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0082】一方、アナログ信号で電圧変調方式の場合、変調信号発生器87には、例えばよく知られているオペアンプ等を用いた増幅回路を用いればよく、必要に応じてレベルシフト回路等を付け加えてもよい。また、アナログ信号でパルス幅変調方式の場合、例えばよく知られている電圧制御型発振回路（VCO）を用いればよく、必要に応じて電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0083】以上のような表示パネル81及び駆動回路を有する本発明の画像形成装置は、端子 $D_{y1} \sim D_{yn}$ 及び $D_{y1} \sim D_{yn}$ から電圧を印加することにより、必要な電子放出素子から電子を放出させることができ、高圧端子Hvを通じて、メタルバック55あるいは透明電極（不図示）に高電圧を印加して電子ビームを加速し、加速した電子ビームを蛍光膜54に衝突させることで生じる励起・発光によって、NTSC方式のテレビ信号に応じてテレビジョン表示を行うことができるものである。

【0084】尚、以上説明した構成は、表示等に用いられる本発明の画像形成装置を得る上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述の内容に限られるものではなく、画像形成装置の用途に適するよう、適宜選択されるものである。また、入力信号としてNTSC方式を挙げたが、本発明に係る画像形成装置はこれに限られるものではなく、PAL、SECAM方

式等の他の方式でもよく、更にはこれらよりも複数の走査線からなるTV信号、例えばMUSE方式を初めとする高品位TV方式でもよい。

【0085】次に、前述の梯型配置の電子源及びこれを用いた本発明の画像形成装置の一例について図9及び図10を用いて説明する。

【0086】図9において、1は基板、54は電子放出素子、94は電子放出素子54を接続する共通配線で10本設けられており、各々外部端子D<sub>1</sub>～D<sub>10</sub>を有している。

【0087】電子放出素子54は、基板1上に並列に複数個配置されている。これを素子行と呼ぶ。そしてこの素子行が複数行配置されて電子源を構成している。

【0088】各素子行の共通配線94（例えば外部端子D<sub>1</sub>とD<sub>2</sub>の共通配線94）間に適宜の駆動電圧を印加することで、各素子行を独立に駆動することが可能である。即ち、電子ビームを放出させたい素子行にはしきい値電圧を超える電圧を印加し、電子ビームを放出させたくない素子行にはしきい値電圧以下の電圧を印加するようにすればよい。このような駆動電圧の印加は、各素子行間に位置する共通配線D<sub>2</sub>～D<sub>9</sub>について、夫々相隣接する共通配線94、即ち夫々相隣接する外部端子D<sub>2</sub>とD<sub>3</sub>、D<sub>4</sub>とD<sub>5</sub>、D<sub>6</sub>とD<sub>7</sub>、D<sub>8</sub>とD<sub>9</sub>の共通配線94を一体の同一配線としても行うことができる。

【0089】図10は、本発明の電子源の他の例である、上記梯型配置の電子源を備えた表示パネル91の構造を示す図である。

【0090】図10中92はグリッド電極、93は電子が通過するための開口、D<sub>1</sub>～D<sub>n</sub>は各電子放出素子に電圧を印加するための外部端子、G<sub>1</sub>～G<sub>n</sub>はグリッド電極92に接続された外部端子である。また、各素子行間の共通配線94は一体の同一配線として基板1上に形成されている。

【0091】尚、図10において図6と同じ符号は同じ部材を示すものであり、図6に示される単純マトリクス配置の電子源を用いた表示パネル81との大きな違いは、基板1とフェースプレート66の間にグリッド電極92を備えている点である。

【0092】基板1とフェースプレート66の間には、上記のようにグリッド電極92が設けられている。このグリッド電極92は、電子放出素子54から放出された電子ビームを変調することができるもので、梯型配置の素子行と直行して設けられたストライプ状の電極に、電子ビームを通過させるために、各電子放出素子54に対応して1個ずつ円形の開口93を設けたものとなっている。

【0093】グリッド電極92の形状や配置位置は、必ずしも図10に示すようなものでなければならないものではなく、開口93をメッシュ状に多数設けることもあり、またグリッド電極92を、例えば電子放出素子54

の周囲や近傍に設けてもよい。

【0094】外部端子D<sub>1</sub>～D<sub>n</sub>及びG<sub>1</sub>～G<sub>n</sub>は不図示の駆動回路に接続されている。そして、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極92の列に画像1ライン分の変調信号を印加することにより、各電子ビームの蛍光膜64への照射を制御し、画像を1ラインずつ表示することができる。

【0095】以上のように、本発明の画像形成装置は、単純マトリクス配置及び梯型配置のいずれの本発明の電子源を用いても得ることができ、上述したテレビジョン放送の表示装置のみならず、テレビ会議システム、コンピュータ等の表示装置として好適な画像形成装置が得られる。更には、感光ドラムとて構成した光プリンターの露光装置としても用いることができるものである。

【0096】

【実施例】

【実施例1】本発明第1の実施例として、図1に示した電子放出素子を作製した。

【0097】先ず、メタルマスクを用いて、石英ガラス基板上に厚さ5nmのTi、及び厚さ30nmのPtを真空蒸着し素子電極を形成した。次に素子電極間をFIBにより局所的に除去してL=240nm、W=100μmの間隙を形成した。

【0098】次に、有機Pd錯体溶液（CCP4230：奥野製薬株式会社製を酢酸ブチルで3倍に希釈したもの）をスピナーコートした後、大気中300℃で熱処理、更に窒素で希釈した2%水素気流中で180℃の熱処理を行なった。この段階で素子表面にはφ=3～7nmの微粒子が形成された。

【0099】続いて、窒素希釈した0.1%エチレン気流中で500℃で10分間熱処理した。これを走査電子顕微鏡で観察すると、電極間隙中に直径10～25nm程度で、屈曲しながら繊維状に伸びた多数の繊維状カーボンが形成されていることがわかった。尚、素子電極上には、Pd微粒子も繊維状カーボンも見られず、Pd微粒子はPt電極に吸収されたものと思われる。

【0100】上記のようにして作製した電子放出素子のI<sub>e</sub>及びI<sub>f</sub>を、図3に示した測定評価系により測定した。

【0101】その結果、I<sub>e</sub>は徐々に増加し、I<sub>f</sub>は一端急激に減少した後、徐々に増加し、約600秒で飽和に達した。この時I<sub>e</sub>は0.5μA、I<sub>f</sub>は0.5mA程度であった。

【0102】【実施例2】素子電極間の間隙を500nmとする以外は実施例1と同様にして電子放出素子を作製し、I<sub>e</sub>及びI<sub>f</sub>を測定した。I<sub>e</sub>及びI<sub>f</sub>はそれぞれ約400秒で飽和し、その値は実施例1の電子放出素子とはほぼ同じであった。

【0103】走査電子顕微鏡による観察では、実施例1と同様に、間隙中に多数の繊維状カーボンが形成されて



いる様子が観察された。但し、間隙中央部ではやや疎になっていた。

【0104】[実施例3] 実施例1と同様にして素子電極、及び該電極間の間隙を形成し、有機Pd錯体溶液を塗布、300℃で焼成を行なった後、窒素で希釈した0.1%エチレン気流中で180℃で10分間の熱処理を行ない、引き続き450℃に昇温して10分間の熱処理を行なった。この電子放出素子の電気的特性は実施例1とはほぼ同様であった。

【0105】[比較例1] 実施例1と同様の工程で素子電極及び電極間隙を形成し、Pd微粒子を形成した後、エチレン雰囲気中での熱処理工程を省いて、 $I_c$ 及び $I_f$ を測定した。その結果、 $I_c$ 、 $I_f$ 共に観測されなかった。

【0106】[比較例2] 電極間隙を900nmとする以外は実施例1と同様にして電子放出素子を作製し、 $I_c$ 及び $I_f$ を測定したところ、 $I_c$ 、 $I_f$ とも全く観測されなかった。

【0107】この電子放出素子を走査電子顕微鏡で観察したところ、素子電極の端面付近には繊維状カーボンが形成されているが、間隙の中央部には存在せず、両方のカーボン間の間隔が大きく開いていることがわかった。これは、有機Pd溶液を塗布した際、表面張力により電極端面付近に溶液が集まり、中央付近は少なくなるために、Pd微粒子が間隙中央部に形成されず、従って、これを核として堆積する繊維状カーボンが堆積しにくかったものと推測される。そのため、カーボン間の間隙が広く、 $I_c$ 、 $I_f$ が観測されなかった、即ち素子電極間に電流が流れず電子放出が行なわれなかったものと推測される。

【0108】[実施例4] 単純マトリクス配線により電子放出素子を配置した電子源を作製した。その手順を以下に示す。

【0109】洗浄した青板ガラスの基板の上に真空蒸着法により厚さ5nmのCr、厚さ60nmのAuを順次積層した後、フォトリソ(AZ1370:ヘキスト社製)をスピンナーにより回転塗布、ベークした後、フォトリソ像を露光、現像して、下配線のレジストパターンを形成し、Au/Cr積層膜をウェットエッチングして下配線を形成した。

【0110】厚さ0.1μmのシリコン酸化膜からなる層間絶縁層を高周波スパッタ法により形成した。

【0111】堆積したシリコン酸化膜上にコンタクトホールを形成するためのフォトリソパターンを作り、これをマスクとして層間絶縁層をエッチングしてコンタクトホールを形成した。エッチングは $CF_4$ と $H_2$ ガスを用いたRIE(Reactive Ion Etching)法によった。

【0112】素子電極となるべきパターンをフォトリソ(RD-2000N-41:日立化成社製)で形成

し、真空蒸着法により厚さ5nmのTi、厚さ100nmのNiを順次積層した。フォトリソパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし素子電極を形成した。

【0113】素子電極の上に上配線のフォトリソパターンを形成した後、厚さ5nmのTi、厚さ100nmのAuを順次真空蒸着法により堆積し、リフトオフにより不要の部分を除去して上配線を形成する。

【0114】コンタクトホール部分以外をカバーするようにレジスト膜を形成し、真空蒸着法により厚さ5nmのTi、厚さ500nmのAuを順次積層した。リフトオフにより不要部分を除去することにより、コンタクトホールを埋め込んだ。

【0115】実施例1と同様に、FIBにより素子電極間に間隙を形成した。更に、実施例1と同様にして、有機Pd錯体溶液をスピンナーで塗布し、大気中300℃で焼成してPdOとし、更に $N_2-2\%H_2$ 混合ガス気流中で180℃10分間の熱処理を行ないPd微粒子を形成した。

【0116】実施例1と同様に、0.01% $C_2H_2$ 気流中で500℃10分間の熱処理を行ない、繊維状カーボンを形成した。高分解能SEM(走査型電子顕微鏡)によりこの電子源の電子放出素子を観察したところ、熱処理により、素子電極上のPd微粒子は電極中に拡散したらしく、素子電極上には微粒子も繊維状カーボンも見られなかった。

【0117】この電子源に図11に示すように引き出し電極と蛍光板を取り付け、全ての電子放出素子を時間順次に走査駆動した。図11の系を説明する。図中111は真空槽であり、不図示の排気系により、 $5 \times 10^{-5}$ Pa以下に排気されている。112は窓、114は電子放出部(電極間隙)、電極、配線などからなる素子本体である。115、116はX方向及びY方向ラインの駆動用配線である。117は前記配線に適当なパルスを印加するドライバーである。118は引き出し電極で、アルミニウム製の枠に透明電極のITO薄膜を形成したガラスを嵌め込み、その下面に蛍光体を塗布したものである。

【0118】電子放出素子に、駆動電圧14V、半選択電圧7Vとなるようにドライバー117で矩形波パルスを印加した。引き出し電圧は5kVである。

【0119】窓112を通して、電子放出による蛍光体の発光を目視で観察したところ、本実施例の電子源においては、素子間での輝度のばらつきが小さく、電子放出特性の均一性が高いことが確認された。

【0120】[実施例5] 実施例4の電子源に、図6に示すように画像形成部材を組み合わせ、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できる表示装置を構成した。図12にそのブロック図を示す。

17

【0121】図中120はディスプレイパネル、121はディスプレイパネルの駆動回路、122はディスプレイコントローラ、123はマルチプレクサ、124はデコーダ、125は入出力インターフェース回路、126はCPU、127は画像生成回路、128、129及び130は画像メモリインターフェース回路、131は画像入力インターフェース回路、132及び133はTV信号受信回路、134は入力部である。(尚、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。)

【0122】以下、画像信号の流れに沿って各部を説明してゆく。

【0123】先ず、TV信号受信回路133は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でも良い。また、これらよりさらに多数の走査線よりなるTV信号(例えばMUSE方式をはじめとするいわゆる高品位TV)は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路133で受信されたTV信号は、デコーダ124に出力される。

【0124】また、画像TV信号受信回路132は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路133と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ124に出力される。

【0125】また、画像入力インターフェース回路131は、例えばTVカメラや画像読取スキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ124に出力される。

【0126】また、画像メモリインターフェース回路130は、ビデオテープレコーダ(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ124に出力される。

【0127】また、画像メモリインターフェース回路129は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ124に出力される。

【0128】また、画像メモリインターフェース回路128は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むため

18

の回路で、取り込まれた静止画像データはデコーダ124に出力される。

【0129】また、入出力インターフェース回路125は、本表示装置と、外部のコンピュータ、コンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行なうのはもちろんのこと、場合によっては本表示装置の備えるCPU126と外部との間で制御信号や数値データの入出力などを行なうことも可能である。

【0130】また、画像生成回路127は、前記入出力インターフェース回路125を介して外部から入力される画像データや文字・図形情報や、或いはCPU156より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリや、画像処理を行なうためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0131】本回路により生成された表示用画像データは、デコーダ124に出力されるが、場合によっては前記入出力インターフェース回路125を介して外部のコンピュータネットワークやプリンタに出力することも可能である。

【0132】また、CPU126は、主として本表示装置の動作制御や、表示画像の生成、選択、編集に関わる作業を行なう。

【0133】例えば、マルチプレクサ123に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ122に対して制御信号を発生し、画面表示周波数や走査方法(例えばインターレースかノンインターレースか)や一画面の走査線の数など表示装置の動作を適宜制御する。

【0134】また、前記画像生成回路127に対して画像データや文字・図形情報を直接出力したり、或いは前記入出力インターフェース回路125を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0135】尚、CPU126は、むしろこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0136】或いは、前述したように入出力インターフェース回路125を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行なっても良い。

【0137】また、入力部134は、前記CPU126に使用者が命令やプログラム、或いはデータなどを入力

するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いることが可能である。

【0138】また、デコーダ124は、前記127ないし133より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。尚、同図中に点線で示すように、デコーダ124は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、或いは前記画像生成回路127及びCPU126と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行なえるようになるという利点が生まれるからである。

【0139】また、マルチプレクサ123は前記CPU126より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチプレクサ123はデコーダ124から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路121に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0140】また、ディスプレイパネルコントローラ122は、前記CPU126より入力される制御信号に基づき駆動回路121の動作を制御するための回路である。

【0141】先ず、ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（不図示）の動作シーケンスを制御するための信号を駆動回路121に対して出力する。

【0142】また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路121に対して出力する。

【0143】また、場合によっては表示画像の輝度、コントラスト、色調、シャープネスといった画質の調整に関わる制御信号を駆動回路121に対して出力する場合もある。

【0144】また、駆動回路121は、ディスプレイパネル120に印加する駆動信号を発生するための回路であり、前記マルチプレクサ123から入力される画像信号と、前記ディスプレイパネルコントローラ122より入力される制御信号に基づいて動作するものである。

【0145】以上、各部の機能を説明したが、図12に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル120に表示することが可能である。即ち、テレビジョン放送をはじめとする各種の画像信号はデコーダ124に

おいて逆変換された後、マルチプレクサ123において適宜選択され、駆動回路121に輸入される。一方、ディスプレイコントローラ122は、表示する画像信号に応じて駆動回路121の動作を制御するための制御信号を発生する。駆動回路121は、上記画像信号と制御信号に基づいてディスプレイパネル120に駆動信号を印加する。これにより、ディスプレイパネル120において画像が表示される。これらの一連の動作は、CPU126により統括的に制御される。

【0146】また、本表示装置においては、前記デコーダ124に内蔵する画像メモリや、画像生成回路127及びCPU126が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ替え、はめ込みなどをはじめとする画像編集を行なうことも可能である。また、本実施例の説明では、特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【0147】従って、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピューターの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用或いは民生用として極めて応用範囲が広い。

【0148】尚、上記図12は、電子放出素子を電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したに過ぎず、これのみに限定されるものでないことは言うまでもない。例えば図12の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0149】本表示装置においては、とりわけ電子放出素子を電子源とするディスプレイパネルの薄型化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、電子放出素子を電子源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示することが可能である。

【0150】更に、本発明の電子源は各電子放出素子間での電子放出特性が均一であるため、形成される画像の画質が高く、また高精細な画像の表示も可能である。

【0151】

【発明の効果】以上説明したように、本発明によれば、良好な電子放出特性を示す電子放出素子を信頼性高く提

供することができ、該素子の作製に当たり、特に複雑な工程や効果な素材を用いることもない。従って、当該素子を複数用いてなる本発明の電子源、更に画像形成装置においては、各素子によって形成される輝点の輝度が均一でむらがないため、高品質な画像の形成が可能となる。

【図面の簡単な説明】

【図1】本発明の電子放出素子の基本構成図である。

【図2】本発明の電子放出素子の製造工程例を示す図である。

【図3】本発明の電子放出素子の電子放出特性を評価するための測定評価系を示す図である。

【図4】本発明の電子放出素子の電子放出特性を示す図である。

【図5】本発明の単純マトリクス電子源の模式図である。

【図6】本発明の画像形成装置の一実施態様を示す図である。

【図7】本発明の画像形成装置に用いる蛍光膜を示す図である。

【図8】本発明の画像形成装置の一実施態様のブロック図である。

【図9】本発明の梯子型電子源の模式図である。

【図10】梯子型電子源を用いた本発明の画像形成装置を示す図である。

【図11】本発明の電子源の測定評価系を示す図である。

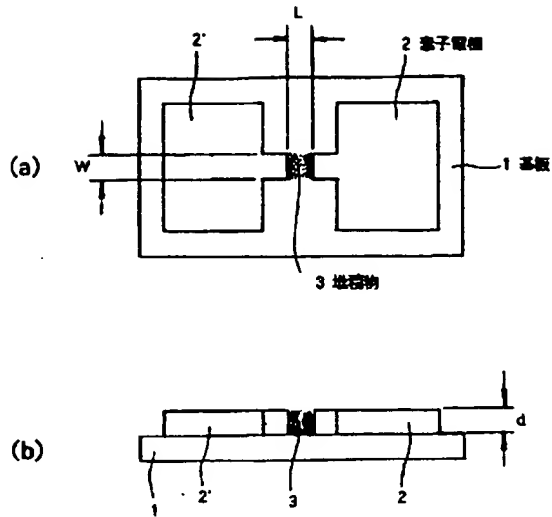
【図12】本発明の実施例4の画像形成装置の応用例のブロック図である。

【符号の説明】

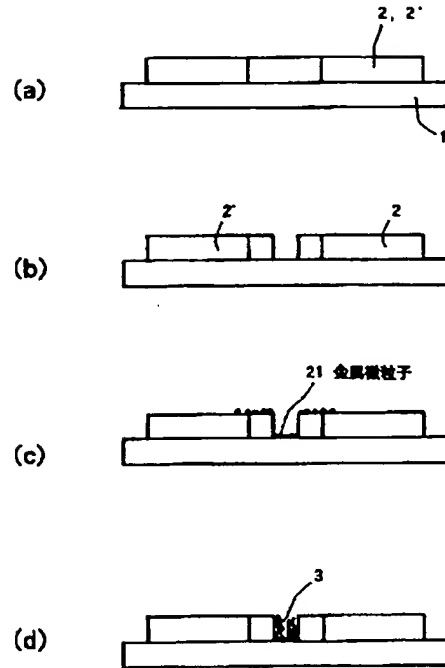
1 絶縁性基板  
2, 2' 素子電極  
3 炭素を主成分とする堆積物  
21 金属微粒子  
30 電流計  
31 電源  
32 電流計  
33 高圧電源  
34 アノード電極  
35 真空装置  
36 排気ポンプ  
52 X方向配線  
53 Y方向配線  
54 電子放出素子

55 結線  
61 リアプレート  
62 支持枠  
63 ガラス基板  
64 蛍光膜  
65 メタルバック  
66 フェースプレート  
68 外囲器  
71 黒色導伝材  
10 72 蛍光体  
81 表示パネル  
82 走査回路  
83 制御回路  
84 シフトレジスタ  
85 ラインメモリ  
86 同期信号分離回路  
87 変調信号発生器  
92 グリッド電極  
93 開口  
20 94 共通配線  
111 真空槽  
112 窓  
114 素子本体  
115 X方向駆動用配線  
116 Y方向駆動用配線  
117 ドライバー  
118 引き出し電極  
119 電源  
120 ディスプレイパネル  
30 121 駆動回路  
122 ディスプレイパネルコントローラ  
123 マルチプレクサ  
124 デコーダ  
125 入出力インターフェース  
126 CPU  
127 画像生成回路  
128 画像メモリーインターフェース  
129 画像メモリーインターフェース  
130 画像メモリーインターフェース  
40 131 画像入力メモリーインターフェース  
132 TV信号受信回路  
133 TV信号受信回路  
134 入力部  
130 ディスプレイパネル

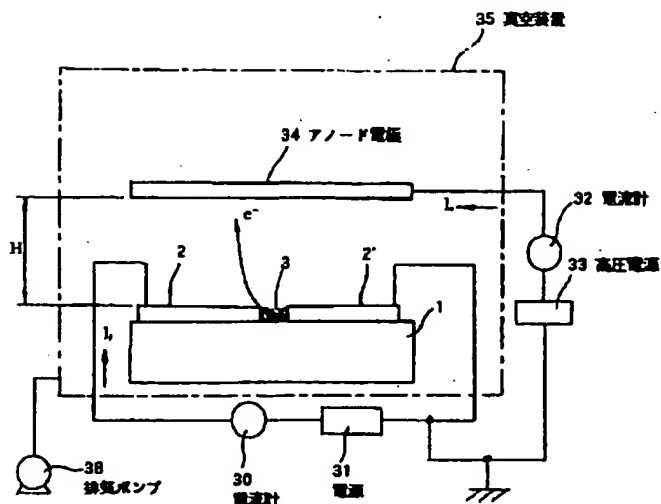
【図1】



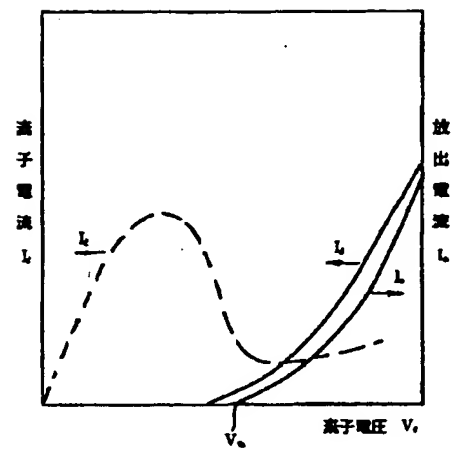
【図2】



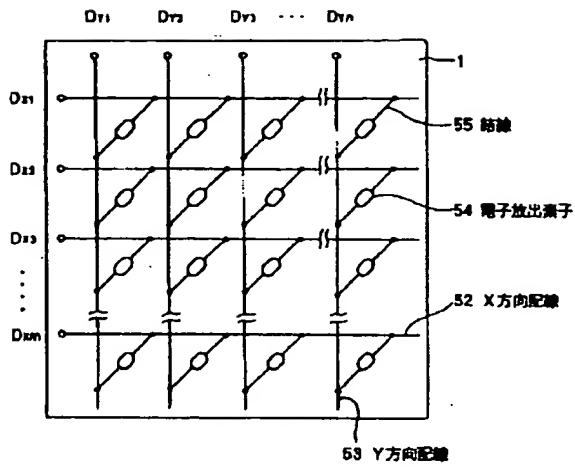
【図3】



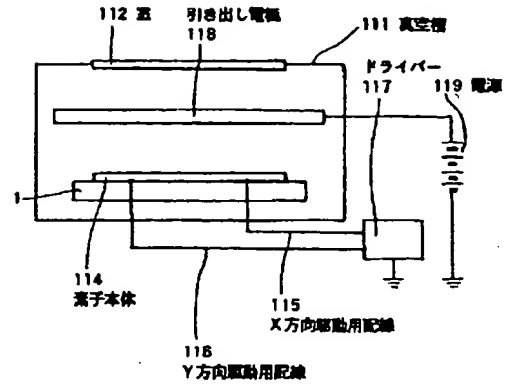
【図4】



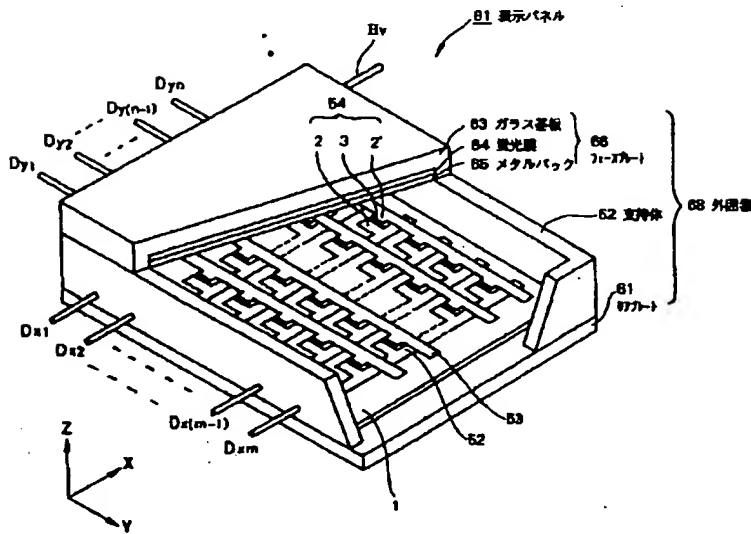
【図5】



【図11】



【図6】



【图8】

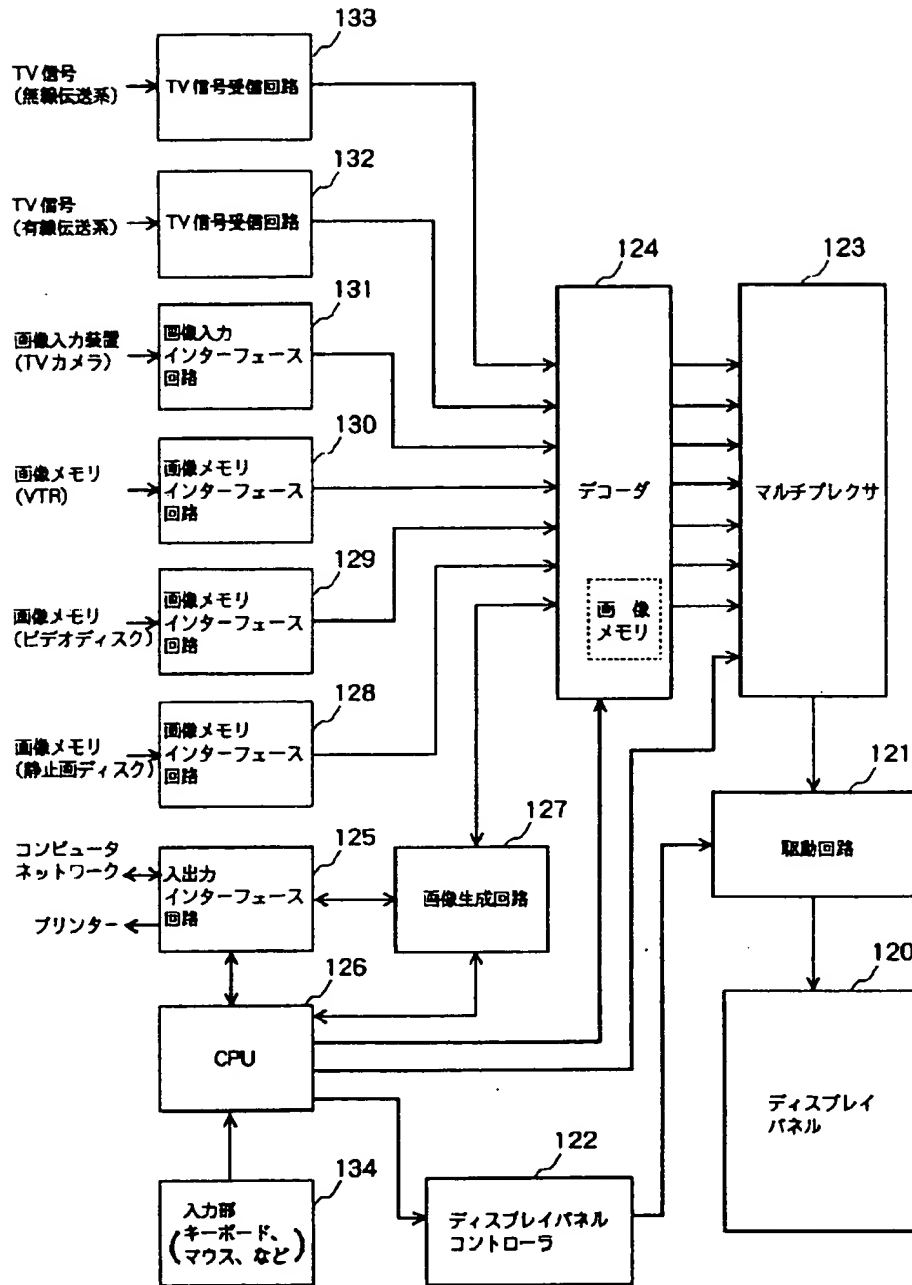


The diagram illustrates a multi-layer PCB structure. It consists of a central common ground layer (94) and ten signal layers (54) stacked above and below it. The signal layers are labeled D1 through D10 on the left side. Each signal layer contains a series of square components, likely representing vias or pads, connected by horizontal lines. The common ground layer is shown as a solid horizontal line at the bottom of the stack.

特開平8-115652



【図12】



100

100

100

DIALOG(R) File 351:Derwent WPI  
 (c) 2001 Derwent Info Ltd. All rts. reserv.

010777599      \*\*Image available\*\*  
 WPI Acc No: 1996-274552/199628  
 XRPX Acc No: N96-230944

Electron-emitting element for exposure system - has carbon material deposited in gap formed between electrodes on insulating substrate

Patent Assignee: CANON KK (CANO )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8115652	A	19960507	JP 94278556	A	19941019	199628 B

Priority Applications (No Type Date): JP 94278556 A 19941019

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8115652	A		17	H01J-001/30	

Abstract (Basic): JP 8115652 A

The element has an insulating substrate (1) on which a pair of electrodes (2,2') with opposite polarities are formed. The electrodes are sepd. by a gap, made by ion beam convergence, that is equal to or less than 500 nm. Carbon-material (3) is deposited in the gap.

ADVANTAGE - Simplifies mfg. process with good emissions of electron with high reliability and uniform characteristics. Produces high quality image since irregularity in brightness of electron source is eliminated.

Dwg.1/12

Title Terms: ELECTRON; EMIT; ELEMENT; EXPOSE; SYSTEM; CARBON; MATERIAL; DEPOSIT; GAP; FORMING; ELECTRODE; INSULATE; SUBSTRATE

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-029/46; H01J-031/12; H01J-031/15

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01; V05-D05C5

**THIS PAGE BLANK (USPTO)**